

基于抽取滤波器多相分解的多速率采样模块设计

卜祥元, 方金辉, 范星宇, 王珂

(北京理工大学 信息与电子学院, 北京 100081)

摘要: 针对扩频系统中多速率采样的实现问题, 提出了一种改进的多相滤波器结构. 通过简单的多相内插之后, 进行分数倍抽取, 可完成任意比重采样变换. 介绍了基于多相滤波器结构的重采样原理, 给出了适宜硬件实现的架构. 仿真结果表明, 该方法在极大降低系统运算量和开销的前提下, 并不影响系统的性能.

关键词: 扩频系统; 多相滤波器; 任意比重重采样

中图分类号: TN 911.72

文献标志码: A

文章编号: 1001-0645(2014)02-0187-05

Multi-Rate Sampling Design Based on Polyphase Decomposition of Decimation Filter

BU Xiang-yuan, FANG Jin-hui, FAN Xing-yu, WANG Ke

(School of Information and Electronics, Beijing Institute of Technology, Beijing 100081, China)

Abstract: Aiming at the problem of multi-rate sampling in spread spectrum systems, proposed an improved polyphase filter structure. Resampling transform can be completed in any proportion by the simple multiphase interpolation and the fractional extraction. Introduced the principle of resampling based on polyphase filter structure, proposed the architecture suitable for hardware implementation. The simulation results show that this method greatly reduces the amount of computation and overhead of the system under the premise of not affecting the performance of the system.

Key words: spread spectrum systems; polyphase filter; arbitrary scale resampling

在扩频通信系统中, 出于保密通信以及对不同通信标准信号的兼容要求, 接收机必须能在同一采样率下进行不同符号速率之间的转换, 得到较低速率的、与符号速率成整数倍关系的采样信号^[1-2]. 然而接收机一般采用独立的时钟进行采样, 更多地依赖后续的信号处理操作从未同步的采样信号中获取准确的信息序列^[3]. 多速率信号处理技术为这种速率变换提供了理论依据, 是软件无线电的基础^[4].

当接收机中 ADC 的采样频率不能改变, 如何用数字的方法调整接收机的时序成为多速率采样的一个难题. 一个简单的方法是在非同步的采样点之间进行内插, 然后在输出端输出合适的值, Gardner 等^[5]对内插滤波器在非整数倍采样率变换的条件下

完成符号的同步进行了分析, 提出用多项式插值的方法实现内插滤波器. 比值为有理数的采样率变换一般先内插、再抽取, 实现框图如图 1 所示.

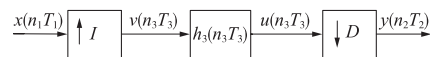


图 1 比值为有理数的采样率变换框图
Fig. 1 Sample rate converter for rational sampling rate

其中 $h_3(n_3 T_3)$ 是插值后低通滤波器以及抽取之前的抗混叠滤波器的级联形式, 传统的实现方式是多级 CIC 滤波^[6]或者 CIC 滤波与半带滤波器的级联^[7-8], 但是对于数据传输速率要求越来越高的无线通信系统来说, 内插之后, 信号的带宽通常很大, 硬件无法做到这么高的稳定时钟, 同时也会给宽

带滤波器的设计带来挑战.

多相滤波器能够降低运算量,降低对处理速度的要求,非常适合硬件实现,在多速率传输系统中得到了越来越多的应用. 本文基于多相滤波器的基本结构,提出一种简化实现方案.

1 采样率变换的多相滤波器原理^[9]及结构

对于 FIR 滤波器,其转移函数为

$$H(z) = \sum_{n=0}^{N-1} h(n)z^{-n}. \quad (1)$$

式中: N 为滤波器长度. 如果将冲激响应 $h(n)$ 按照下列的排列分成 D 组,并设 N 为 D 的整数倍,即 $N/D=Q, Q$ 为整数,则

$$\begin{aligned} H(z) &= h(0)z^0 + h(D)z^{-D} + \dots + \\ &h[(Q-1)D]z^{-(Q-1)D} + \\ &h(1)z^{-1} + h(D+1)z^{-(D+1)} + \dots + \\ &h[(Q-1)D+1]z^{-(Q-1)D-1} + \dots + \\ &h(D-1)z^{-(D-1)} + h(2D-1)z^{-(2D-1)} + \dots + \\ &h[(Q-1)D+D-1]z^{-(Q-1)D-(D-1)} = \\ &\sum_{n=0}^{Q-1} h(nD+0)(z^D)^{-n} + \\ &z^{-1} \sum_{n=0}^{Q-1} h(nD+1)(z^D)^{-n} + \\ &z^{-(D-1)} \sum_{n=0}^{Q-1} h(nD+D-1)(z^D)^{-n}. \end{aligned} \quad (2)$$

令

$$E_k(Z^D) = \sum_{n=0}^{Q-1} h(nD+k)(Z^D)^{-n}, k=0,1,\dots,D-1. \quad (3)$$

则

$$H(z) = \sum_{k=0}^{D-1} Z^{-k} E_k(Z^D). \quad (4)$$

对于多相结构,令

$$\sum_{n=0}^{Q-1} h(nD+k)(Z^D)^{-n} = R_{D-1-k}(Z^D). \quad (5)$$

则式(2)变为

$$\begin{aligned} H(z) &= R_{D-1}(Z^D) + Z^{-1}R_{D-2}(Z^D) + \dots + \\ &Z^{-(D-1)}R_0(Z^D) = \\ &\sum_{m=0}^{D-1} Z^{-(D-1-m)}R_m(Z^D). \end{aligned} \quad (6)$$

将抽取符号 D 替换为内插符号 I ,可以得到整数倍内插器的多相结构标准形式,如图 2 所示.

由于滤波过程在速率较低一侧进行,因此这种

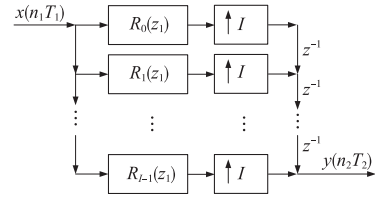


图 2 整数倍内插器的多相结构的标准形式
Fig. 2 Standard form for multiphase structure of the integer multiple interpolation

多相结构是一种高效的实现方式.

观察图 2 所示的整数倍内插器结构,各级滤波器在时域上按照 $1:I$ 进行增采样,每一级的延迟带来了时间序列上的不同延迟,从而使得仅有非 0 的时间样本出现在求和节点上. 因此可以用一个输出转接器来实现这一过程^[9],代替求和. 其实现过程如图 3(a) 所示,又因为每一个时刻,实际上只有一个滤波器在工作,因此,其结构又可以转化为图 3(b) 所示的形式. 在图中,对于每一个时刻的输出,只需要选择不同的滤波器系数即可,而乘法器等资源则可以复用,该结构所付出的代价只是一些存储资源,用来存储滤波器的系数.

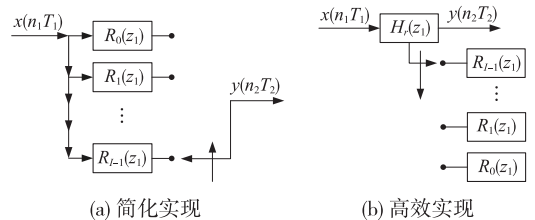


图 3 整数倍内插器多相结构的简化实现及高效实现
Fig. 3 Simplified and efficient structure for multiphase structure of the integer multiple interpolation

2 任意比重采样实现的新方法

当需要进行有理数采样比进行变换时,可按照图 3 的插值过程,每间隔 D 选择一次输出即可完成比值为 I/D 的变换,但是当两种采样率比较接近的时候,特别对于 DSSS 系统,当符号速率成倍变化,而扩频比之间不是倍数关系而造成的 chip 速率差别比较小,这个时候 I 和 D 可能是很大的互素的整数,此时如果还按照图 3 所示的变换结构,则要求滤波器阶数特别高,而且运算也很复杂. 此时可以将 I/D 变成 P/Q 的形式. 如式(7)所示.

$$F_2 = \frac{I}{D}F_1 = \frac{P}{Q}F_1. \quad (7)$$

式中: P 为较小的整数; Q 为有理数,其值介于 $m = \lfloor Q \rfloor$ 和 $m+1$ 之间,且有 $\Delta = \lfloor Q \rfloor - m$. 其中 $\lfloor \cdot \rfloor$ 表

示向下取整. 由于 Q 不是整数, 因此在用多相结构实现时, 其所需要的滤波器系数其实指向一个不存在的滤波器系数, 如图 4 所示. 一个实现任意比重采样的方法是利用滤波器的前一滤波输出和后一滤波输出结果进行插值, 得到所需要采样点的输出.

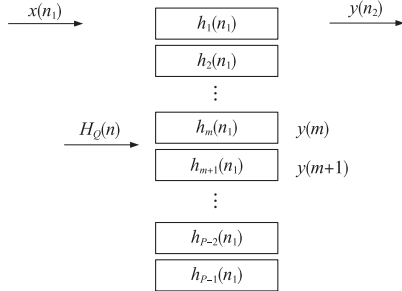


图 4 任意比重采样实现框图

Fig. 4 Realization block diagram for arbitrary ratio resampling

出于对资源以及复杂度的考虑, 这里选用最简单的线性插值来实现插值的过程. 按照图 5 所示, 计算可得

$$y(Q) = y(m + \Delta) = y(m) + [y(m + 1) - y(m)]\Delta. \quad (8)$$

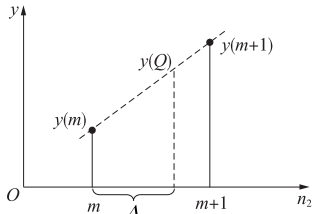


图 5 线性内插示意图

Fig. 5 Linear interpolation diagram

文献[9]已经证明如果内插处理的幅度误差小于样本值幅度量化中的误差, 则时序抖动误差并不会降低内插样本处理的质量. 为了满足上述条件, 要求由内插带来的残余频谱的最大频谱电平必须满足:

$$\frac{1}{2N} < \frac{1}{2^b} \text{ 或 } N > 2^{(b-1)}. \quad (9)$$

式中: $1/(2N)$ 表示 DAC 经过 N 倍过采样之后频率响应的第一个过零点处附近残余频谱的最大幅度; $1/2^b$ 表示 b bit 对采样数据进行量化时产生的噪声量化电平.

图 5 所示的内插过程可以建模为时间序列和一个三角脉冲的卷积, 三角脉冲函数的傅氏变换如式 (10) 所示.

$$H(f) = \left[\frac{\sin(2\pi fT/2)}{2\pi fT/2} \right]^2. \quad (10)$$

$[\sin x/x]^2$ 的重复零点对卷积之后的复制频谱产生了有效的抑制作用, $[\sin x/x]^2$ 第一个零点处泰勒级数的第一个非零项是 $\sin x/x$ 泰勒级数的第一个非零项的平方, 即

$$H(\Delta f) = \left[\frac{1}{N}\Delta f \right]^2. \quad (11)$$

用 $1/2$ 取代式 (11) 中的 Δf , 并与量化噪声电平进行比较, 得

$$\left[\frac{1}{2N} \right]^2 < \frac{1}{2^b} \text{ 或 } N > 2^{(b-1)/2}. \quad (12)$$

比较式 (9) 和式 (12), 假设用 8 bit 量化, 按照式 (9) 计算需要的过采样率为 128, 按照本文采用的内插器只需要过采样率为 8 就可以满足条件.

对于上述所示的采样率变换过程, 具体实现时只需要一个累加器, 每次按照要求的步进值进行累加. 注意累加时应对 P 进行求模运算, 其整数部分决定了选用哪两个滤波器的系数, 其小数部分即 Δ , 当给定两个滤波器的输出及小数部分 Δ 时, 即可求出此点的值, 也即完成了任意重采样比的实现. 具体实现框图如图 6 所示.

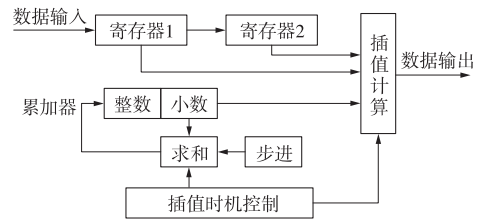


图 6 基于内插的硬件实现结构

Fig. 6 Hardware architecture based on interpolation

插值控制信号在合适的时间给出数据输出信号. 寄存器 1 (F_1) 和寄存器 2 (F_2) 用来保存当前用来产生插值信号的原始数据值, 步进由上面计算的 D 给出, 累加器在每一个时钟来临时把累加器的值与步进求和. 对于 $F_1/F_2 > 1$ 的情况, 如果累加和值小于 2, 则用寄存器 1 和寄存器 2 中的两个数据完成插值; 如果其和值大于 2, 则累加器只取小数部分, 并给出插值控制信号, 使下一个数据输入. $F_1/F_2 < 1$ 的情况, 如果累加和值小于 1, 则进行插值计算并输出, 如果该值大于或等于 1, 则此时不进行插值, 并且把累加器的整数部分清零.

3 仿真分析

运用本文介绍的方法, 某 DSSS 系统中, 需要实现 3 种速率的传输, 分别是 600, 1 200, 2 400 bit/s,

对应的扩频码长分别为1 023, 511, 255, 则其对应的 chip 速率为 613. 8, 613. 2, 612. 0 kchip. 如果按照每 chip 采样点数为 24 个点进行设计, 需要的采样时钟分别为 14. 731 2, 14. 716 8, 14. 688 0 MHz. 通过 15 MHz 的 FPGA 处理时钟作为 DAC 采样时钟, 以 chip 速率 $R_{c0} = f_{ADC}/24 = 625. 0, \text{kchip/s}$ 输出进行重采样得到上述 3 种速率.

下面以发送端 625. 0 kHz 的单音信号经过成型滤波之后, 再进行重采样得到 613. 8 kHz 的信号为例, 因为 $D=f_1/f_{ADC}=R_c/R_{c0}<1$, 按照第 2 节中给出的内插控制机制, 可以得到图 7 所示的采样图样. 分析该重采样方法的性能, 可以看出, 其在频域上的波形与理想波形很接近.

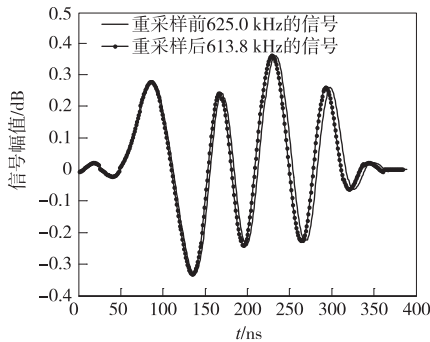


图 7 发送端重采样前后信号的时域波形

Fig. 7 Transmitted signal before and after resampling in the time-domain

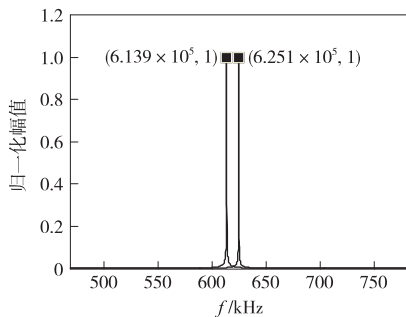


图 8 发送端重采样前后信号的频率波形

Fig. 8 Transmitted signal's spectrum before and after resampling in the time-domain

数据经过高斯信道之后, 在接收端先经过重采样, 保证每 chip 有 24 个采样点, 经过成型滤波后再交给后续数字信号处理模块. 图 9 是重采样前后接收端信号的波形, 对重采样之后的数据进行解调, 与收发过程不经过重采样的解调结果比较, 可得到图 10 所示的误码率曲线. 由图 10 可以看出, 系统经过重采样处理之后误码率非常接近理论曲线. 在相同的信噪比条件下, 重采样之后误码率比未经重采样

的系统有所降低. 因为发送端经过重采样之后信号的频谱被压缩, 经过信道之后混入的噪声会减少; 在接收端有用信号经过相反的重采样之后频谱被展开, 因此重采样过程一定程度上能改善信噪比. 可见本文设计的重采样处理既能满足系统速率的要求, 同时有利于降低误码率.

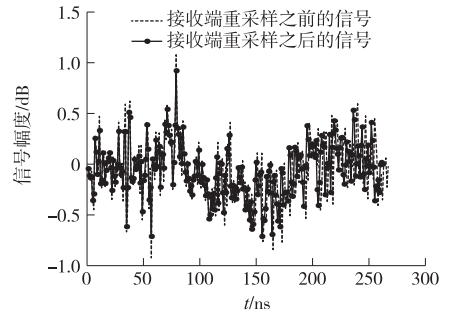


图 9 接收端重采样前后的数据波形

Fig. 9 Received signal before and after resampling in the time-domain

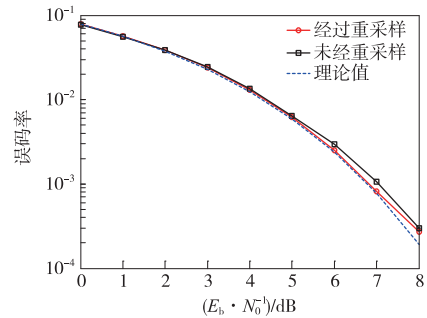


图 10 重采样前后误码率对比

Fig. 10 Error rate of resampling compared with theoretical value and un-resampling

本文提出的重采样结构, 在速率变换前后比值变化不大的情况下, 只需要修改步进值就能实现任意速率变换. 与常用的整数倍重采样方法相比, 本文提出的结构硬件开销和计算量都得到了优化. 以比值 $I/D = 613. 8/625 \approx 982/1\ 000$ 为例, 本文使用的方法需要的存储器深度为 2, 但是按照整数倍重采样的方法需要的存储深度为 1 000. 另外多相滤波器系数是不断迭代实时更新产生的, 不需要预先存储, 大大节省了硬件开销. 同时本文提出的方法只需要简单的一次加法、一次减法以及一个比较器即可完成重采样输出, 不需要乘法器, 计算量也得到了简化, 非常适合在数字电路中实现.

4 结 论

本文提出的 DSSS 系统中多速率采样模块设计

的方法,能高效解决多速率传输的问题,尤其适用于多种传输速率变化很小的系统.该方法可以简化多相滤波器的设计,通过降低内插倍数,从而降低对系统处理时钟的要求.通过合适的插值控制机制,重采样之后的系统性能非常接近理论值.同时由于内插器结构简单,非常适宜在数字电路中实现,可以灵活地实现扩频系统中任意采样率的转换.

参考文献:

- [1] 李静,彭华,葛临东.软件无线电中的整数倍采样率转换技术[J].无线电通信技术,2000,26(5):28-30.
Li Jing, Peng Hua, Ge Lindong. Integer multiples of the sampling rate conversion technology in software radio[J]. Radio Communications Technology, 2000, 26(5):28-30. (in Chinese)
- [2] 彭华,李静,葛临东.软件无线电中的非整数倍采样率转换技术[J].电讯技术,1999(3):18-23.
Peng Hua, Li Jing, Ge Lindong. Non-integer sampling rate conversion technology in software radio[J]. Telecommunications Technology, 1999(3):18-23. (in Chinese)
- [3] 孙建成,张太溢,刘枫,等.基于抽取滤波器组多相分解的盲自适应符号同步算法[J].电子与信息学报,2004,26(11):1771-1777.
Sun Jiancheng, Zhang Taiyi, Liu Feng, et al. Blind adaptive symbol synchronization algorithm based on decimation filters polyphase decomposition[J]. Journal

of Electronics & Information Technology, 2004, 26(11):1771-1777. (in Chinese)

- [4] 杨小牛,楼才义,徐建良.软件无线电原理与应用[M].北京:电子工业出版社,2001.
Yang Xiaoni, Lou Caiyi, Xu Jianliang. Software radio principles and applications [M]. Beijing: Electronic Industry Press, 2001. (in Chinese)
- [5] Gardner F M. Interpolation in digital modems-part I: fundamentals[J]. IEEE Trans on Communications, 1993, 41(3):501-507.
- [6] Huang Xiaojing, Li Yunxin, Son Nguyen. Sample rate conversion by trapezoidal interpolation for software defined radio[C]//14th IEEE Proceedings on Personal, Indoor and Mobile Radio Communications. [S. l.]: IEEE, 2003:135-139.
- [7] Chu S, Burrus C S. Multirate filter design using comb filters[J]. IEEE Trans on Circuits and Systems, 1984, 31(11):913-924.
- [8] 王友华,李皎雪,张俊安,等.宽带通信系统数字插值滤波器组设计[J].微电子学,2011,41(1):6-9.
Wang Youhua, Li Jiaoxue, Zhang Jun'an, et al. Design of digital interpolation filter for wideband communications[J]. Microelectronics, 2011, 41(1): 6-9. (in Chinese)
- [9] Harris F J. Multirate signal processing for communication systems [M]. Xi'an: Xi'an Jiaotong University Press, 2008.

(责任编辑:刘芳)

(上接第175页)

- [4] Chen Y P, Li Z Z, Guo Z S, et al. Service selection algorithm based on quality of service and its implementation for web services composition [J]. Journal of Xi'an Jiaotong University, 2006, 40(8): 897-900.
- [5] Tao Fei, Hu Yefa, Zhou Zude. Application and modeling of resource service trust-QoS evaluation in

manufacturing grid system[J]. International Journal of Production Research, 2009, 47(16):1521-1550.

- [6] Tao Fei, Zhao Dongming, Zhang Lin. Resource service optimal-selection based on intuitionistic fuzzy set and non-functionality QoS in manufacturing grid system[J]. Knowledge and Information Systems, 2010, 25(1): 185-208.

(责任编辑:李兵)